

浙江海洋大学 2022- 2023 学年第__学期 《现代计算机组成原理》课程期末考试卷 (A)

(适用班级 Z22 计算机 1、2);
_____)

考试时间: 120 分钟

一	二	三	四	五	六	七	八	九	十	总分

一、选择题 (每题 2 分, 共 40 分)

- 下列给出的部件中其位数 (宽度) 一定与机器字长相同的是 ()。
A. 段地址寄存器 B. 指令寄存器 C. ALU D. 浮点寄存器
- 32 位补码所能表示的整数范围是 ()。
A. $-2^{32} \sim 2^{31}-1$
B. $-2^{31} \sim 2^{31}-1$
C. $-2^{32} \sim 2^{32}-1$
D. $-2^{31} \sim 2^{32}-1$
- 已知带符号整数用补码表示, float 型数据用 IEEE 754 标准表示, 假定变量 x 的类型只能是 int 或 float。当 x 的机器数为 C800 0000H 时, x 的值可能是 ()。
A. -7×2^{27} B. -2^{16} C. 2^{17} D. 25×2^{27}
- 在按字节编址, 采用小端方式的 32 位计算机中, 按边界对齐方式为以下 C 语言结构型变量 a 分配存储空间。
struct record{
 short x1;
 int x2;
} a;
若 a 的首地址为 2020 FE00H, a 的成员变量 x2 的机器数 1234 0000H, 则其中 34H 所在存储单元的地址是 ()。
A. 2020 FE03H B. 2020 FE04H C. 2020 FE05H D. 2020 FE06H
- 某计算机主频为 1GHz, 程序 P 运行过程中, 共执行了 10000 条指令, 其中, 80% 的指令执行平均需 1 个时钟周期, 20% 的指令执行平均需 10 个时钟周期。程序 P 的平均 CPI 和 CPU 执行时间分别是 ()。
A. 2.8, 28μs B. 28, 28μs C. 2.8, 28ms D. 28, 28ms
- 某计算机的存储器总线中有 24 位地址线和 32 位数据线, 按字编址, 字长为 32 位。若 000000H - 3FFFFFFH 为 RAM 区, 则需要 512KX8 位的 RAM 芯片数为 ()。
A. 8 B. 16 C. 32 D. 64
- 下列关于各种寻址方式获取操作数快慢的说法中, 正确的是 ()。
I. 立即寻址快于堆栈寻址
II. 堆栈寻址快于寄存器寻址

学院____专业____班级____姓名____学号____订装线

III.寄存器一次间接寻址快于变址寻址

IV.变址寻址快于一次间接寻址

A. I、IV B. II、III C. I、III、IV D. III、IV

8. 若计算机主存地址为 32 位,按字节编址,Cache 数据区大小为 32KB,主存块大小为 32B,采用直接映射方式和回写(Write Back)策略,则 cache 行的位数至少是()。
- A.275 B.274 C. 258 D.257
9. 下列关于数据通路的叙述中,错误的是()。
- A.数据通路包含 ALU 等组合逻辑(操作)元件
B.数据通路包含寄存器等时序逻辑(状态)元件
C.数据通路不包含用于异常事件检测及响应的电路
D.数据通路中的数据流动路径由控制信号进行控制
10. 某内存条包含 8 个 8192x8192x8 位的 DRAM 芯片,按字节编址,支持突发(burst)传送方式,对应存储器总线宽度为 64 位,每个 DRAM 芯片内有一个行缓冲区(row buffer)。下列关于该内存条的叙述中,不正确的是()。
- A.内存条的容量为 512 MB
B.采用多模块交叉编址方式
C.芯片的地址引脚为 26 位
D.芯片内行缓冲有 8192*8 位
11. 若计算机主存地址为 32 位,按字节编址,某 Cache 的数据区容量为 32 KB,主存块大小为 64 B,采用 8 路组相联映射方式,该 Cache 中比较器的个数和位数分别为是()。
- A.8, 20 B.8, 23 C.64, 20 D.64, 23
12. 若设备采用周期挪用 DMA 方式进行输入输出,每次 DMA 传送的数据块大小为 512 字节,相应的 I/O 接口中有一个 32 位数数据缓冲寄存器,对于数据输入过程,下列叙述中错误的是()。
- A.每准备好 32 位数据,DMA 控制器就发出一次总线请求
B.相对于 CPU,DMA 控制器的总线使用权的优先级更高
C.整个数据块的传送过程中,CPU 不可以访问主存储器
D.数据块传送结束时,会产生“DMA 传送结束”的中断请求
13. 设计某指令系统时,假设采用 16 位定长指令字格式,操作码使用扩展编码方式,地址码为 6 位,包含零地址、一地址和二地址 3 种格式的指令。若二地址指令有 12 条,一地址指令有 254 条,则零地址指令的条数最多为()。
- A. 0 B. 2 C.64 D. 128
14. 设相对寻址的转移指令占两个字节,第一字节是操作码,第二字节是相对位移量(用补码表示)。每当 CPU 从存储器取出第一个字节时,即自动完成(PC)+1→PC。设当前 PC 的内容为 2010H,要求转移到 2006H 地址,则该转移指令第二字节的内容应为()。
- A. 04H B. F4H C. F6H D.06H
15. 下列关于中断 I/O 方式的叙述中,不正确的是()。
- A.适用于键盘、针式打印机等字符型设备
B.外设和主机之间的数据传送通过软件完成
C.外设准备数据的时间应小于中断处理时间

- D. 外设为某进程准备数据时 CPU 可运行其他进程
16. 下列选项中，属于指令集体系结构（ISA）规定的内容（ ）。
 I. 指令字格式和指令类型 II. CPU 的时钟周期
 III. 通用寄存器个数和位数 IV. 加法器的进位方式
 A. 仅 I、II B. 仅 I、III C. 仅 II、IV D. 仅 I、III、IV
17. 下列给出的处理器类型中理想情况下 CPI 为 1 的是（ ）。
 ①单周期 CPU ②多周期 CPU ③基本流水线 CPU ④超标量流水线 CPU
 A. ①③ B. ② C. ③ D. ①③④
18. 在采用“取指、解码/读取寄存器、运算、访问内存、写回寄存器”5 段流水线的处理器中，执行如下指令序列，其中 s0、s1、s2、s3 和 t2 表示寄存器编号。
 I1: add s2, s1, s0 ;R[s2] ← R[s1]+R[s0]
 I2: load s3, 0(t2) ;R[s3] ← M[R[t2]+0]
 I3: add s2, s2, s3 ;R[s2] ← R[s2]+R[s3]
 I4: store s2, 0(t2) ;M[R[t2]+0] ← R[s2]
 下列指令对中，不存在数据冒险的是（ ）。
 A. I1 和 I3 B. I2 和 I3 C. I2 和 I4 D. I3 和 I4
19. 在中断周期，CPU 主要完成以下工作（ ）。
 A. 关中断，保护断点，发中断响应信号并形成中断服务程序入口地址
 B. 开中断，保护断点，发中断响应信号并形成中断服务程序入口地址
 C. 关中断，执行中断服务程序
 D. 开中断，执行中断服务程序
20. 关于微指令操作控制字段的编码方法，下面叙述正确的是（ ）。
 A. 直接编码、字段间接编码法和字段直接编码法都不影响微指令的长度
 B. 一般情况下，直接编码的微指令位数最多
 C. 一般情况下，字段间接编码法的微指令位数最多
 D. 一般情况下，字段直接编码法的微指令位数最多

二、简答题（共 40 分）

1. 已知 $x = 0.1011$, $y = -0.1101$ ，用 Booth 算法求出 $x \cdot y$ 的结果。（5 分）
2. 假设数据信息为 01101011，请按“偶校验”原则为其配置汉明码，要求写出计算过程。（5 分）
3. 已知 cache 的存储周期为 50ns，主存存储周期为 250ns，假定 CPU 执行某段程序时，共访问 cache 的命中了 1900 次，访问主存 100 次，求 Cache/主存系统的命中率，效率和平均访问时间？（5 分）
4. 某机有 8 条微指令 I1~I8，每条微指令所包含的微命令控制信号如下表所示。a~j 分别对应 10 种不同性质的微命令信号。请安排微指令的控制字段格式，使微指令长度尽量小。（5 分）

微指令	微命令信号									
	a	b	c	d	e	f	g	h	i	j

I ₁	√			√		√	√			
I ₂				√			√	√	√	
I ₃		√	√			√				
I ₄	√				√					√
I ₅			√						√	
I ₆	√			√						√
I ₇	√		√							
I ₈		√				√				

5. 设某机有 5 级中断：L0、L1、L2、L3、L4，其中断响应优先次序为：L0 最高，L1 次之……L4 最低。现在要求将中断处理次序改为 L2→L1→L4→L0→L3，试问：
- (1) 各级中断服务程序中的各中断屏蔽码应如何设置（设每级对应一位，当该位为“0”，表示中断允许；当该位为“1”，表示中断屏蔽）？（5 分）

中断处理程序	中断处理级屏蔽位				
	L0 级	L1 级	L2 级	L3 级	L4 级
L0 中断处理程序					
L1 中断处理程序					
L2 中断处理程序					
L3 中断处理程序					
L4 中断处理程序					

- (2) 若这 5 级中断同时都发出中断请求，试画出进入各级中断处理过程示意图。（3 分）

6. 某计算机 CPU 主频为 1GHz，所连接的某外设的最大数据传输率为 40kBps，该外设接有一个 32 位的数据缓存器，相应的中断服务程序的执行时间为 500 个时钟周期。请回答下列问题：
- 1) 是否可用中断方式进行该外设的输入输出？若能的话，在该设备持续工作期间，CPU 用于该设备进行输入/输出的时间占整个 CPU 时间的百分比大约为多少？（3 分）

2)若该外设的最大数据传输率提高到 4MBps，则可否用中断方式进行输入输出?若此时采用周期挪用 DMA 方式进行输入输出，每挪用一個周期传送一个 32 位数据，一次 DMA 传送完成 1000 字节的数据传送，DMA 初始化和后处理的时间为 2000 个时钟周期，不考虑访存冲突，则 CPU 用于该设备进行输入输出的时间占整个 CPU 时间的百分比大约为多少? (3 分)

7. CPU 内有 32 个 32 位的通用寄存器，设计一种能容纳 64 种操作的指令系统。假设指令字长等于机器字长，试回答以下问题。

(1) 如果主存可直接或间接寻址，采用“寄存器—存储器”型指令，能直接寻址的最大存储空间是多少? 画出指令格式并说明各字段的含义。(3 分)

(2) 在满足 (1) 的前提下，如果采用通用寄存器作基址寄存器，则上述“寄存器—存储器”型指令的指令格式有何特点? 画出指令格式并指出这类指令可访问多大的存储空间? (3 分)

三、设计题 (每题 10 分，共 20 分)

1、设 CPU 共有 16 根地址线，8 根数据线，并用 $\overline{\text{MREQ}}$ (低电平有效)作访存控制信号，R/W 作读写命令信号(高电平为读,低电平为写)。现有下列存储芯片:

RAM: 1K×4 位, 8K×8 位, 16K×1 位, 4K×4 位;

ROM: 1K×8 位, 2K×8 位, 8K×8 位, 32K×8 位;

及 74LS138 译码器和各种门电路。

要求: 主存地址空间分配: 从 2000H 地址开始的 6K 地址空间为用户程序区, 最高地址的 4K 地址空间为系统程序区;

试从上述规格中选用合适芯片, 画出 CPU 和存储芯片的连接图。

(1) 指出选用的存储芯片类型及数量; (2 分)

(2) 详细画出片选逻辑。(8 分)

2、某计算机字长 16 位，采用 16 位定长指令字结构，部分数据通路结构如下图所示，图中所有控制信号为 1 时表示有效、为 0 时表示无效。例如控制信号

MDRinE 为 1 表示允许数据从 DB 打入 MDR，MDRin 为 1 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。减法指令“SUB @R0, R1”的功能为 $((R0))-(R1) \rightarrow (R0)$ ，即将以 R0 的值为地址的内存中的数减去 R1 中的数据，并将结果送入以 R0 的值为地址的内存中保存。

请按表中描述方式用表格列出指令取指阶段和执行阶段每个节拍的功能和有效控制信号 (时钟周期个数不定)。

取指阶段: (3 分)

时钟	功能	有效控制信号
C1		
C2		
C3		
C4		

执行阶段: (7 分)

时钟	功能	有效控制信号
----	----	--------

C1		
C2		
C3		
C4		
C5		
C6		
C7		

